

特性

- 管脚兼容 LMK04828
- 支持 JEDEC JESD204B 标准
- 支持同步信号 OSC 重定时
- 内部集成同步信号 TDC 和温度传感器
- 超低均方根(RMS)抖动
 - 64fs 均方根抖动 (12kHz~20MHz)
 - 68fs 均方根抖动 (100Hz~20MHz)
 - 245.76MHz 时, 噪底为-161 dBc/Hz
- PLL2 可提供最多 14 路差分时钟
 - 最多可输出 14 路信号
 - 每路输出都可灵活切换为时钟或 SYSREF
 - 最大时钟输出频率 4GHz
 - LVPECL, LVDS, CML 可编程输出
- PLL1 可提供 1 路 OSC 输出
 - LVPECL, LVDS, 2xCMOS 可编程输出
 - 可同步 1/2/4/8 分频输出
- 集成双 PLL 环路
- PLL1
 - 支持 3 路可选参考时钟输入
 - 集成 LOS 算法, 支持自动和手动切换
 - 输入时钟丢失时, 支持 Holdover 模式
- PLL2
 - 鉴相频率最高可达 500MHz
 - 集成 OSCin 输入二倍频器
 - 集成 OSCin 输入 2/3/5 及 1/2/4/8 分频器
 - 集成 2~4GHz 倍频程低噪声 VCO
- 时钟及 SYSREF 输出通道
 - PLL2 输出通道通路集成公共分频器
 - 分频比 1~511 任意可配的 50%输出占空比分频器
 - 精确数字延时, 可动态调整
 - 模拟延时, 最大延时 2ns, 步进 35ps
- 双 PLL、单 PLL、时钟分发等多种工作模式
- 军品温度范围-55~125°C
- 3.15V ~ 3.45V 工作电压
- 封装形式: 64-Pin QFN (9.0mm x 9.0mm x 0.8mm)

封装尺寸图

应用

相控阵系统时钟网络

JESD204B/C 接口系统

数据转换器时钟

微波基带板卡时钟

蜂窝基础设施 (多载波 GSM、LTE、W-CDMA)

概述

CX4E06A/CX4E06AN 是一款全正向设计的 14 路输出时钟发生器芯片。能够产生最多 14 路分频比可配置的超低相位噪声的同步时钟, 输出频率范围: 1MHz~4GHz, 支持 LVPECL、LVDS 和 CML 三种输出模式。

CX4E06A/CX4E06AN 具备时钟抖动衰减、信号丢失检测、无中断参考时钟切换、任意频率快速切换等功能, 上述功能均可旁路。

CX4E06A/CX4E06AN 可满足不同应用场景的时钟频率、同步配置、多通道和低噪声的要求, 并通过多种时钟管理和分配特性来简化大规模阵列板卡的时钟树设计, 提供 14 路低噪声且可配置的时钟输出, 可灵活与多种器件连接, 包括数据转换器、现场可编程门阵列 (FPGA) 和混频器本振 (LO)。

CX4E06A/CX4E06AN 共有 14 路时钟和 SYSREF 通道, 各通道可以独立配置分频比、延时和输出模式。每个通道可以独立配置成 CLK 通道或者 SYSREF 通道, 当配置成 SYSREF 输出模式时, 其 SYSREF 信号可以由外部输入, 也可以由内部电路产生连续或者脉冲模式的 SYSREF 信号。

CX4E06A/CX4E06AN 具有多通道和多芯片同步功能, 可以根据内部或者外部输入的 SYSREF 信号对芯片进行同步, CX4E06A/CX4E06AN 芯片的同步信号先后经过 OSCin 时钟和 PLL2 时钟重定时, 对外部 SYSREF 信号的偏斜和抖动有较强的容忍度。

CX4E06A 为工业级, CX4E06AN 为军品级, 均为 64-Pin QFN (9.0mm×9.0mm×0.8mm)封装。

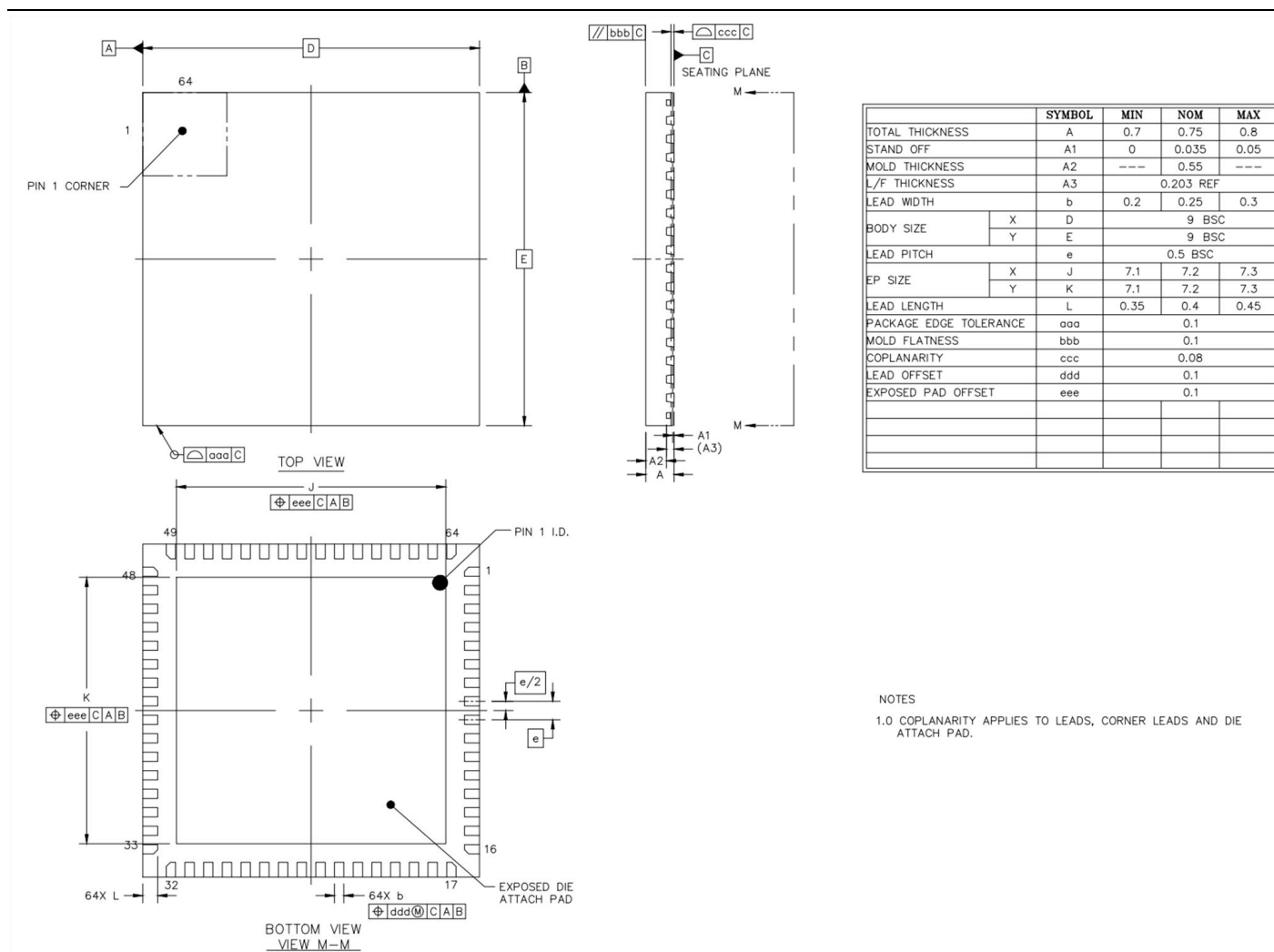


图 1 封装尺寸图